

794F

794

F

نام
نام خانوادگی
محل امضاء



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

اگر دانشگاه اصلاح شود مملکت اصلاح می شود.
امام خمینی (ره)

آزمون دانش‌پذیری دوره‌های فراگیر «کارشناسی ارشد» دانشگاه پیام نور

مهندسی برق (الکترونیک)
(کد ۲۰۰)

مدت پاسخگویی: ۱۸۰ دقیقه

تعداد سؤال: ۶۰

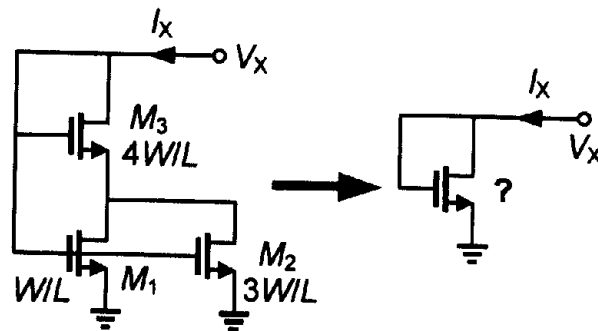
عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	طراحی مدارهای مجتمع خطی	۲۰	۱	۲۰
۲	طراحی مدارهای VLSI	۲۰	۲۱	۴۰
۳	تئوری و تکنولوژی ساخت قطعات نیمه هادی ۱	۲۰	۴۱	۶۰

آذر ماه سال ۱۳۹۲

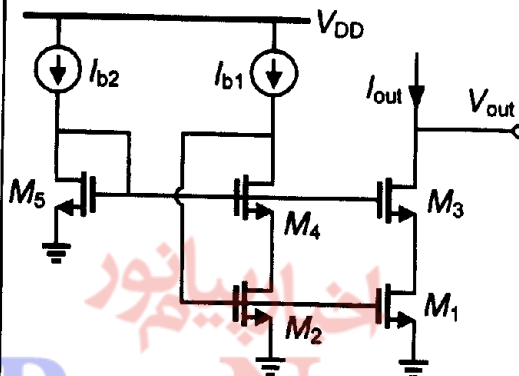
نمره منفی ندارد.
استفاده از ماشین حساب مجاز نمی‌باشد.

۱- ابعاد ترانزیستور مدار معادل شکل زیر بر حسب W/L چقدر است؟



- ۱ (۱)
- ۲ (۲)
- ۳ (۳)
- ۴ (۴)

۲- در مدار شکل زیر حداقل ولتاژ خروجی V_{out} بر حسب ولت چقدر می تواند باشد تا همه ترانزیستورها همچنان در ناحیه اشباع قرار گیرند؟



$$\mu_n C_{ox} (W/L)_{1,2,3,4} = 5 \text{ mA/V}^2$$

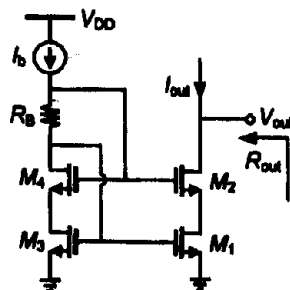
$$\mu_n C_{ox} (W/L)_5 = 0.8 \text{ mA/V}^2$$

$$V_{TH} = 0.4 \text{ V}, \lambda = \gamma = 0$$

$$I_{b1} = I_{b2} = 100 \mu\text{A}$$

- / ۴ (۱)
- / ۵ (۳)
- / ۴۵ (۲)
- / ۵۵ (۴)

۳- در مدار آینه جریان شکل زیر مقدار مقاومت خروجی R_{out} بر حسب مگا اهم تقریباً چقدر است؟



$$\mu_n C_{ox} \left(\frac{W}{L}\right)_{1,2} = 25 \frac{\text{mA}}{\text{V}^2}$$

$$V_{TH} = 0.4 \text{ V}, \gamma = 0$$

$$\left(\frac{W}{L}\right)_{1,2} = 20 \left(\frac{W}{L}\right)_{3,4}$$

$$I_b = 25 \mu\text{A}, R_e = 20 \text{ k}\Omega$$

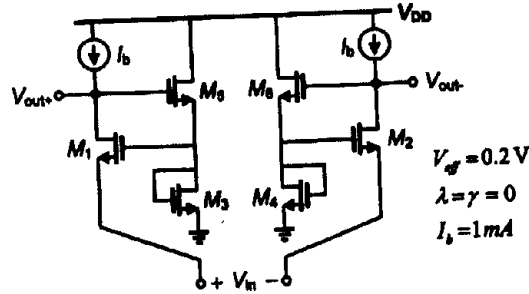
$$\lambda = 0.1 \text{ V}^{-1}$$

- / ۲۵ (۱)
- / ۵ (۲)
- ۱ (۳)
- ۲ (۴)

در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورها با هم یکسان بوده و در ناحیه اشباع بایاس شده اند. مقدار DC ولتاژ ورودی V_{in} برابر با صفر بوده و منابع جریان ایده آل هستند. مقدار بهره ولتاژ تفاضلی

$$A_d = \frac{V_{out+} - V_{out-}}{V_{in}}$$

آن چقدر است؟

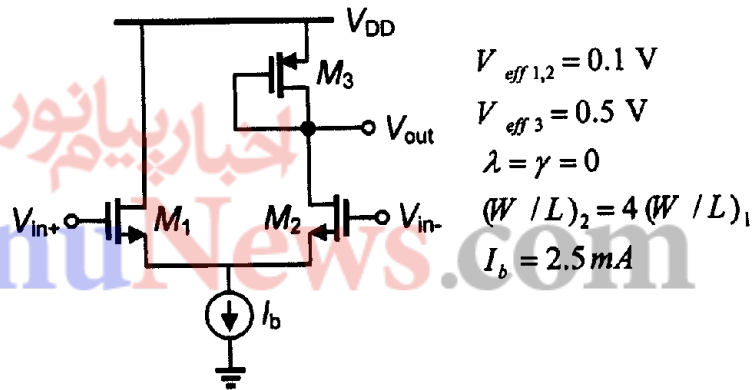


- ۴ (۱)
- ۳ (۲)
- ۲ (۳)
- ۱ (۴)

در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس

$$A_d = \frac{V_{out}}{V_{in+} - V_{in-}}$$

شده اند. مقدار بهره ولتاژ تفاضلی آن چقدر است؟

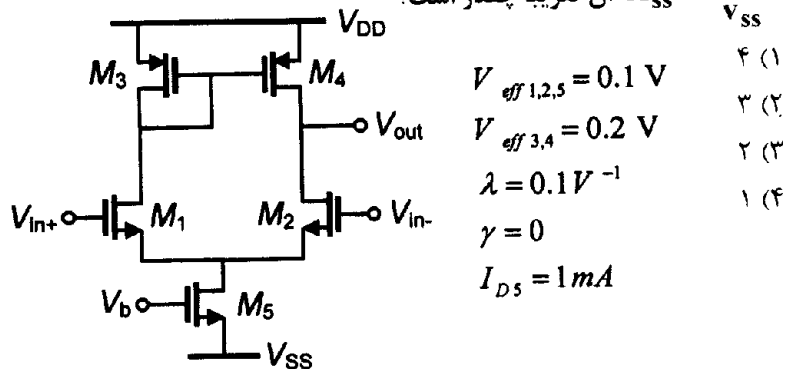


- ۱ (۱)
- ۲ (۲)
- ۳ (۳)
- ۴ (۴)

در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورهای متناظر با هم یکسان بوده و در ناحیه اشباع بایاس شده اند. اگر منبع تغذیه V_{SS} علاوه بر ترم DC شامل یک مؤلفه نویز ac سیگنال کوچک هم باشد، در این صورت مقدار

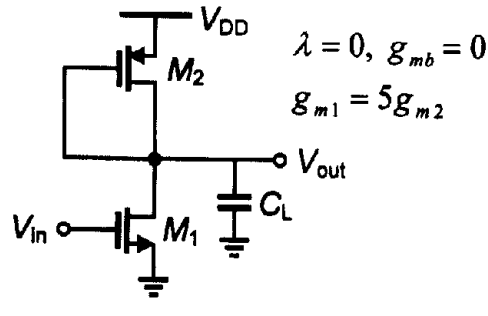
$$A_{SS} = \frac{V_{out}}{V_{SS}}$$

آن تقریباً چقدر است؟



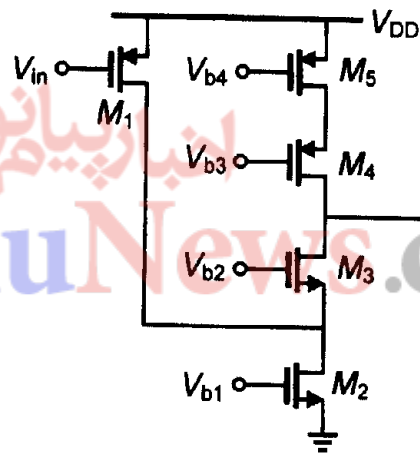
- ۴ (۱)
- ۳ (۲)
- ۲ (۳)
- ۱ (۴)

۷- در مدار شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده‌اند. مقدار کل توان نویز حرارتی خروجی آن بر حسب V^2 چقدر است؟ در محاسبه نویز از مدل کانال بلند ترانزیستورها استفاده کنید.



- (۱) $\frac{8kT}{C_L}$
- (۲) $\frac{4kT}{C_L}$
- (۳) $\frac{2kT}{C_L}$
- (۴) $\frac{kT}{C_L}$

۸- در مدار شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده‌اند. مقدار کل توان نویز حرارتی ارجاع داده شده به ورودی آن بر حسب V^2 / Hz تقریباً چقدر است؟ در محاسبه نویز از مدل کانال بلند ترانزیستورها استفاده کنید.



- $V_{eff} = 0.2 \text{ V}$
- $\lambda = 0.1 \text{ V}^{-1}$
- $\gamma = 0$
- $I_{D1} = 1 \text{ mA}$
- $I_{D2} = 2 \text{ mA}$

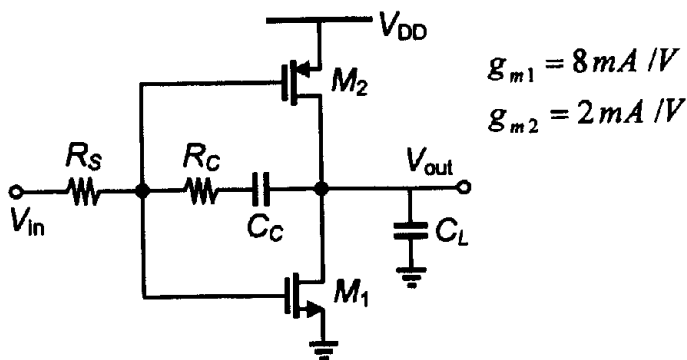
(۲) $\frac{1600kT}{3}$

(۱) $\frac{800kT}{3}$

(۴) $\frac{3200kT}{3}$

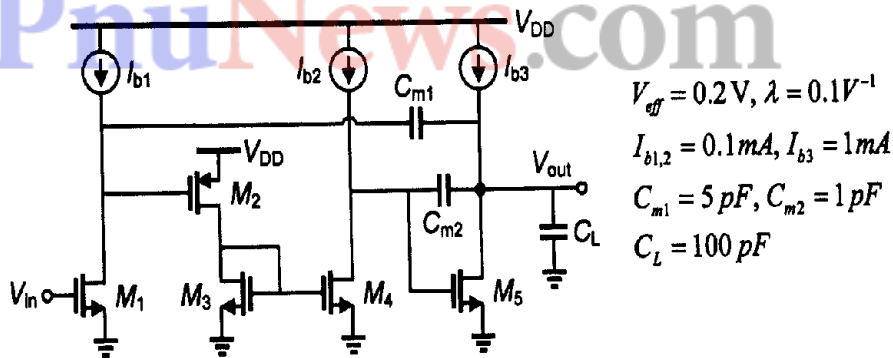
(۳) $\frac{2400kT}{3}$

۹- در مدار شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده‌اند. با در نظر گرفتن فقط اثر خازن‌های C_L و C_C به ازای چه مقداری از مقاومت R_C بر حسب اهم، این مدار صفر فرکانسی محدود نخواهد داشت؟



- ۱۲۵ (۱)
 ۱۰۰ (۲)
 ۷۵ (۳)
 ۵۰ (۴)

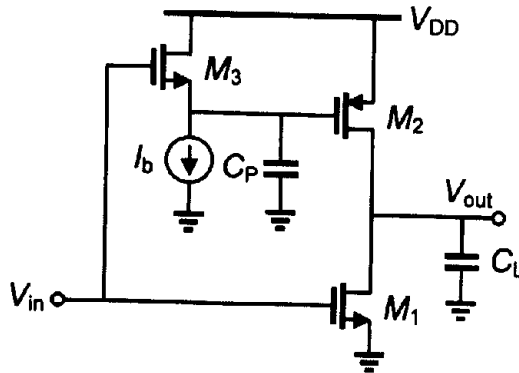
۱۰- در مدار تقویت‌کننده شکل زیر همه ترانزیستورهای مدار در ناحیه اشباع بایاس شده‌اند و منابع جریان ایده‌آل هستند. در محاسبات خود فقط اثر خازن‌های C_L ، C_{m1} و C_{m2} را در نظر بگیرید. مقدار تقریبی فرکانس بهره - واحد آن بر حسب مگا رادیان بر ثانیه چقدر است؟



- ۱۰۰ (۱)
 ۲۰۰ (۲)
 ۱۰۰۰ (۳)
 ۲۰۰۰ (۴)

-۱۱

در مدار تقویت کننده شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده اند و منبع جریان I_b ایده آل است. مقدار بهره ولتاژ $A_v = \frac{V_{out}}{V_{in}}$ فرکانس پایین آن تقریباً چقدر است؟



$$I_{D1} = I_{D2} = 1\text{mA}$$

$$I_b = 0.5\text{mA}$$

$$V_{eff\ 1-3} = 0.2\text{V}$$

$$\lambda = 0.1\text{V}^{-1}, \gamma = 0$$

۵۰ (۲)

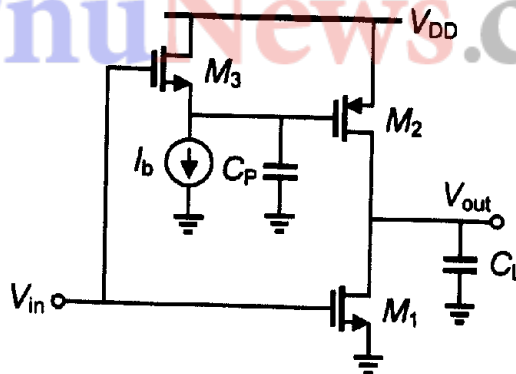
۲۵ (۱)

۱۰۰ (۴)

۷۵ (۳)

-۱۲

در مدار تقویت کننده شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده اند و منبع جریان I_b ایده آل است. مقدار قطب دوم آن بر حسب گیگا رادیان بر ثانیه تقریباً چقدر است؟



$$I_{D1} = I_{D2} = 1\text{mA}$$

$$I_b = 0.5\text{mA}$$

$$V_{eff\ 1-3} = 0.2\text{V}$$

$$\lambda = 0.1\text{V}^{-1}, \gamma = 0$$

$$C_L = 4\text{pF}$$

$$C_P = 0.5\text{pF}$$

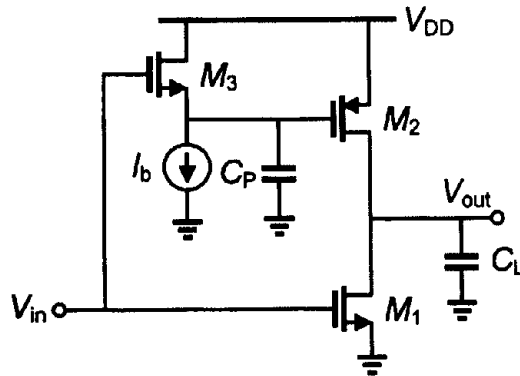
۵ (۲)

۱۰ (۱)

۱/۲۵ (۴)

۲/۵ (۳)

۱۳- در مدار تقویت کننده شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده اند و منبع جریان I_b ایده آل است. مقدار صفر فرکانسی آن بر حسب گیگا رادیان بر ثانیه تقریباً چقدر است؟



$$I_{D1} = I_{D2} = 1\text{mA}$$

$$I_b = 0.5\text{mA}$$

$$V_{eff\ 1-3} = 0.2\text{V}$$

$$\lambda = 0.1\text{V}^{-1}, \gamma = 0$$

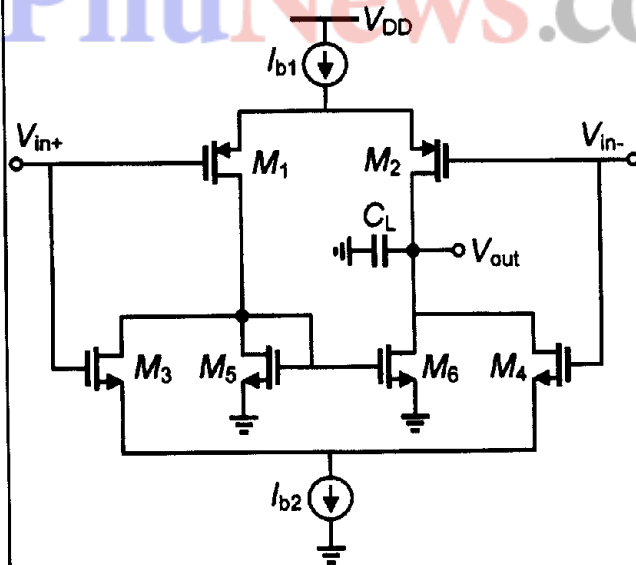
$$C_L = 4\text{pF}$$

$$C_p = 0.5\text{pF}$$

- (۱) ۲۰ -
- (۲) ۱۰ -
- (۳) ۵ -
- (۴) ۲/۵ -

۱۴- در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورهای متناظر با هم یکسان بوده و در ناحیه اشباع بایاس شده اند. مقدار سرعت چرخش (Slew Rate) منفی بوده و در حالت فیدبک منفی واحد، بر حسب ولت بر میکروثانیه چقدر است؟

www.PnuNews.com



$$V_{eff} = 0.2\text{V}$$

$$\gamma = 0, \lambda = 0.1\text{V}^{-1}$$

$$I_{b1} = 2\text{mA}$$

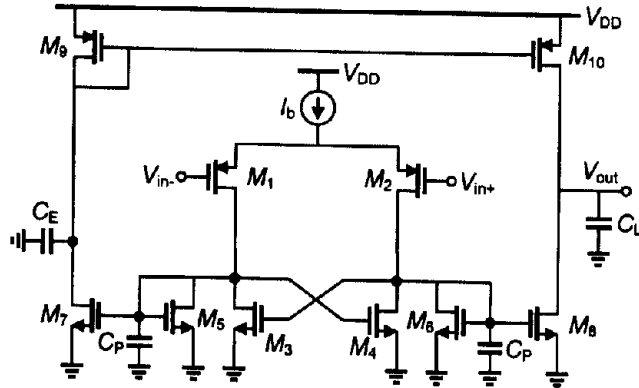
$$I_{b2} = 1\text{mA}$$

$$C_L = 5\text{pF}$$

- (۱) ۲۰۰
- (۲) ۴۰۰
- (۳) ۶۰۰
- (۴) ۸۰۰

-۱۵

در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورهای متناظر با هم یکسان بوده و در ناحیه اشباع بایاس شده اند. مقدار سرعت چرخش (Slew Rate) مثبت ($V_{in-} \gg V_{in+}$) آن در حالت فیدبک منفی واحد، بر حسب ولت بر میکروثانیه چقدر است؟



$$\left(\frac{W}{L}\right)_{5,6} = 3\left(\frac{W}{L}\right)_{3,4}$$

$$\left(\frac{W}{L}\right)_{7,8} = 2\left(\frac{W}{L}\right)_{5,6}$$

$$\left(\frac{W}{L}\right)_9 = \left(\frac{W}{L}\right)_{10}$$

$$V_{eff} = 0.2V$$

$$\lambda = 0.1V^{-1}$$

$$I_b = 2mA$$

$$C_L = 5pF$$

۸۰۰ (۲)

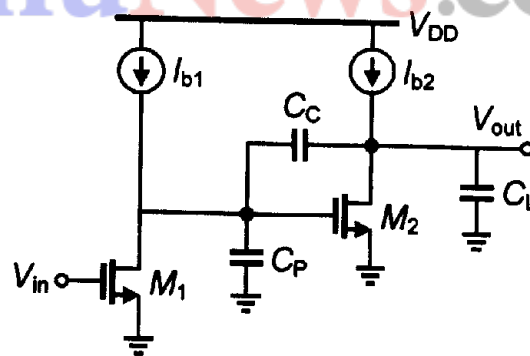
۱۰۰۰ (۱)

۴۰۰ (۴)

۶۰۰ (۳)

-۱۶

در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده اند. مقدار بهره ولتاژ $A_v = \frac{v_{out}}{v_{in}}$ فرکانس پایین آن چند دسی بل است؟



$$I_{b1} = I_{b2} = 1mA$$

$$V_{eff} = 0.2V$$

$$\lambda = 0.1V^{-1}$$

$$C_L = 2pF$$

$$C_P = 0.5pF$$

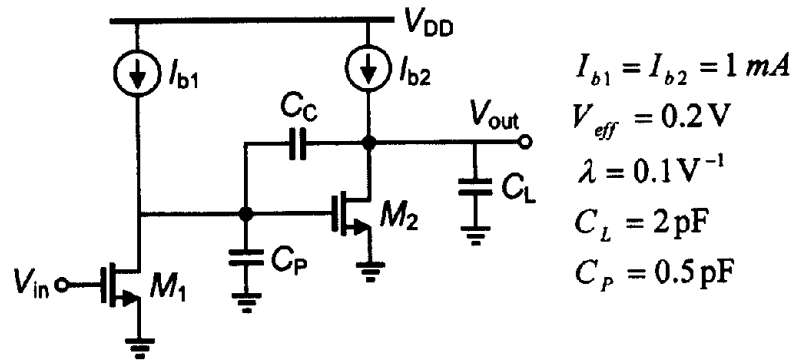
۶۰ (۲)

۴۰ (۱)

۱۰۰ (۴)

۸۰ (۳)

۱۷- در مدار تقویت کننده تفاضلی شکل زیر همه ترانزیستورها در ناحیه اشباع بایاس شده اند. مقدار خازن C_C برحسب پیکوفاراد چقدر بایستی باشد تا حاشیه فاز آن در حالت حلقه بسته با فیدبک منفی واحد، تقریباً برابر با ۶۳ درجه گردد؟



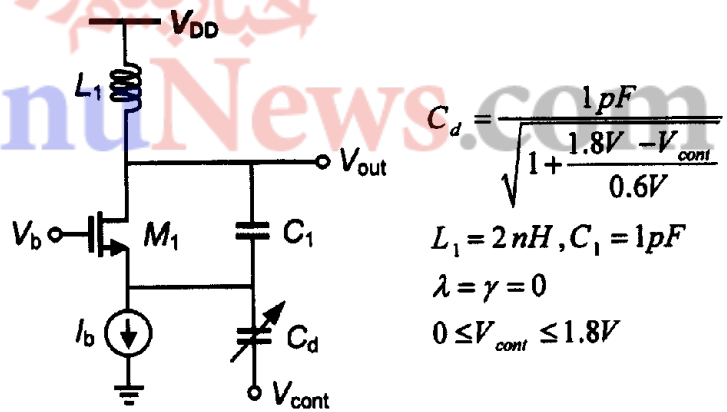
۵ (۲)

۸ (۱)

۲/۵ (۴)

۴ (۳)

۱۸- در مدار VCO شکل زیر از اثر بدنه و خازن های پارازیتی ترانزیستور صرف نظر کنید. حداقل فرکانس نوسان آن برحسب گیگا هرتز تقریباً چقدر است؟



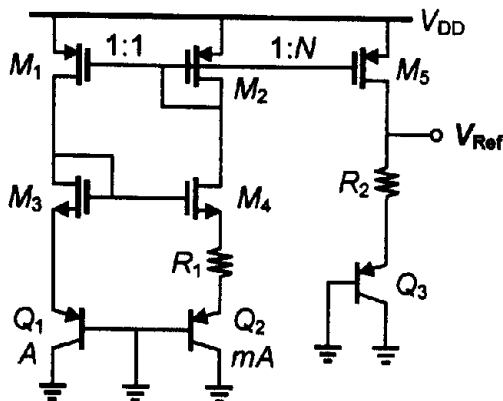
۳/۵ (۲)

۲/۵ (۱)

۵ (۴)

۴ (۳)

۱۹- در مدار Bandgap شکل زیر همه ترانزیستورها در ناحیه فعال بایاس شده‌اند. مقدار ولتاژ مرجع V_{Ref} در دمای اتاق ($T = 300^\circ K$) برحسب ولت چقدر است؟



$$R_1 = R_2 = 10 k\Omega$$

$$\lambda = 0, N = 10$$

$$\left. \frac{\partial V_{EB}}{\partial T} \right|_{T=300^\circ K} = -2 mV / ^\circ K$$

$$V_T (T = 300^\circ K) \approx 26 mV$$

$$V_{EB3} (T = 300^\circ K) = 600 mV$$

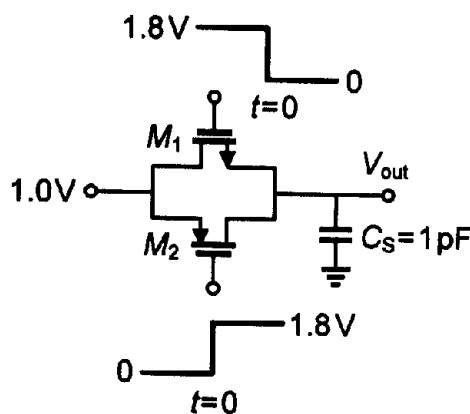
$$1/15 \quad (2)$$

$$1/1 \quad (1)$$

$$1/25 \quad (4)$$

$$1/2 \quad (3)$$

۲۰- در مدار شکل زیر ترانزیستورهای M_1 و M_2 به مدت طولانی روشن بوده و در لحظه $t = 0$ خاموش می‌گردند. مقدار ولتاژ نهایی ذخیره شده در خازن C_S برحسب ولت چقدر خواهد بود؟ فرض کنید که بار کانال ترانزیستورها در موقع خاموش شدن آن‌ها به صورت مساوی از ترمینال‌های درین و سورس تخلیه می‌گردد و شکل موج اعمالی به گیت ترانزیستورها در شکل مشخص شده است.



$$\left(\frac{W}{L}\right)_1 = \frac{50 \mu m}{0.25 \mu m}$$

$$\left(\frac{W}{L}\right)_2 = \frac{200 \mu m}{0.25 \mu m}$$

$$|V_{TH}| = 0.4 V$$

$$C_{ox} = 12 fF/\mu m^2$$

$$\lambda = \gamma = 0$$

$$1/0.75 \quad (2)$$

$$1/15 \quad (1)$$

$$0/85 \quad (4)$$

$$0/925 \quad (3)$$

۲۱- با فرض پارامترهای زیر برای یک فلیپ فلاپ و با فرض عدم وجود Skew و پالس کلاک برابر 500ps، حداکثر زمان تأخیر انتشار برحسب ps کدام است؟

Setup time = 65ps
 Clk to Q delay = 50ps
 Contamination delay = 35ps
 Hold time = 30ps

۴) ۳۸۵ (۱) ۳) ۳۵۰ (۲) ۴) ۴۵۰ (۳) ۱) ۴۸۵

۲۲- در آزمون تراشه‌ها، Controllability یعنی ایجاد دسترسی به بلوک‌های و observability یعنی مشاهده خروجی‌ها از بلوک‌های می‌باشد.

۱) خارجی - داخلی (۲) خارجی - خارجی (۳) داخلی - داخلی (۴) داخلی - داخلی

۲۳- مقاومت حرارتی یک بسته‌بندی سرامیکی PGA نسبت به محیط اطراف برابر $10^\circ\text{C}/\text{W}$ است. مقاومت حرارتی تراشه نسبت به این بسته‌بندی برابر $2^\circ\text{C}/\text{W}$ است. اگر دمای حداکثر محیط برابر 50°C و حداکثر حرارت مجاز تراشه برابر 110°C باشد، آنگاه حداکثر توان مصرفی مجاز تراشه برحسب W کدام است؟

۴) ۴ (۲) ۵ (۳) ۶ (۴) ۷

۲۴- چنانچه یک حافظه SRAM با ظرفیت دو کیلوبایت (داده‌ها ۸ بیتی است) در آرایش مربعی طراحی شود، آنگاه هر مالتی پلکسر ستونی دارای چه تعداد ورودی است؟

۸) ۱ (۲) ۱۶ (۳) ۳۲ (۴) ۶۴

۲۵- یک رابطه منطقی برای متغیر V (Overflow) برحسب حامل خروجی و بیت MSB خروجی در جمع دو عدد N بیتی علامت-دار که در فرمت مکمل ۲ بیان شده‌اند کدام است؟ (با فرض این که دو عدد A و B و حامل خروجی Y_{N-1} باشد.)

(۱) $V = A'_{N-1}B'_{N-1}Y_{N-1} + A'_{N-1}B_{N-1}Y'_{N-1} + A_{N-1}B'_{N-1}Y_{N-1}$ (۲) $V = A'_{N-1}B'_{N-1}Y'_{N-1} + A'_{N-1}B_{N-1}Y_{N-1}$
 (۳) $V = A_{N-1}B_{N-1}Y'_{N-1} + A_{N-1}B'_{N-1}Y_{N-1}$ (۴) $V = A_{N-1}B_{N-1}Y_{N-1} + A_{N-1}B'_{N-1}Y'_{N-1}$

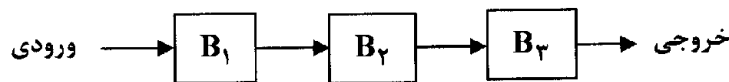
۲۶- نقایص SA0 و SA1 در یک مدار مجتمع چگونه بروز می‌کند؟

- ۱) SA_1 زمانی که یک گره به V_{DD} اتصال کوتاه شود.
- ۲) SA_0 زمانی که یک گره به G_{ND} اتصال کوتاه شود.
- ۳) SA_1 زمانی که یک گره به G_{ND} اتصال کوتاه شود.
- ۴) SA_0 زمانی که یک گره به V_{DD} اتصال کوتاه شود.
- ۵) SA_1 زمانی که یک گره به V_{DD} اتصال کوتاه شود.
- ۶) SA_0 زمانی که یک گره به V_{DD} اتصال کوتاه شود.
- ۷) SA_1 زمانی که یک گره به G_{ND} اتصال کوتاه شود.
- ۸) SA_0 زمانی که یک گره به G_{ND} اتصال کوتاه شود.

۲۷- چنانچه از دستگاه آزمون با سرعت کاری 10MHz استفاده شود، زمان آزمون کامل برای یک مدار مجتمع با ۳۲ بیت ورودی برحسب ثانیه به کدام یک از گزینه‌های زیر نزدیک‌تر است؟

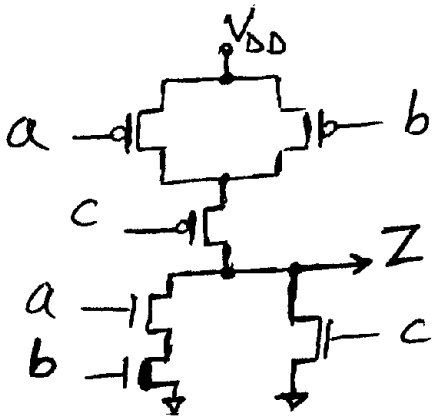
۱) ۱۰۰ (۲) ۲۰۰ (۳) ۴۰۰ (۴) ۵۰۰

۲۸- در طرح بلوک دیاگرام زیر، با اضافه کردن دو مالتی پلکسر چگونه می‌توان بلوک‌های B_1 و B_3 را مستقلاً تست کرد؟



(۱) $S_1S_2 = 10 \leftarrow B_1$ (۲) $S_1S_2 = 01 \leftarrow B_1$ (۳) $S_1S_2 = 10 \leftarrow B_1$ (۴) $S_1S_2 = 00 \leftarrow B_1$
 $S_1S_2 = 10 \leftarrow B_3$ $S_1S_2 = 10 \leftarrow B_3$ $S_1S_2 = 01 \leftarrow B_3$ $S_1S_2 = 01 \leftarrow B_3$

۲۹- گیت CMOS زیر چه منطقی را پیاده‌سازی می‌کند؟



(۱) $\bar{Z} = a.b + c$

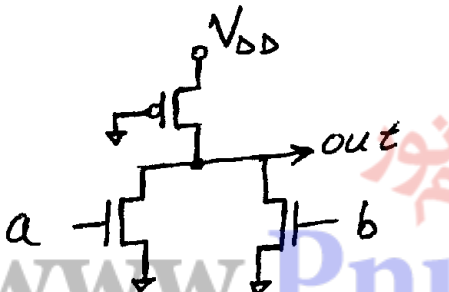
(۲) $Z = a.b + c$

(۳) $\bar{Z} = (a + b).c$

(۴) $Z = (a + b).c$

۳۰- در یک گیت منطقی CMOS استاتیک، میزان توان مصرفی حالت گذرا (دینامیک) با منبع تغذیه چه نسبتی دارد؟
 (۱) با توان اول منبع تغذیه به صورت مستقیم مرتبط است.
 (۲) با توان دوم منبع تغذیه به صورت مستقیم مرتبط است.
 (۳) بستگی به میزان تغییرات ولتاژ در گره خروجی دارد.
 (۴) نسبتی ندارد.

۳۱- گیت منطقی زیر در چه نوع منطقی پیاده‌سازی شده است؟



(۱) منطق Domino

(۲) منطق static CMOS

(۳) منطق Precharge-Evaluate

(۴) منطق Pseudo-nMOS

۳۲- مزیت عمده و اشکال اساسی پیاده‌سازی گیت‌های منطقی در منطق Differential split level چیست؟
 (۱) کاهش مصرف توان و افزایش نویزپذیری
 (۲) افزایش سرعت و افزایش نویزپذیری
 (۳) کاهش مصرف توان و افزایش سطح اشغالی
 (۴) افزایش سرعت و افزایش سطح اشغالی

۳۳- با استفاده از مدل خط انتقال، میزان تأخیر در یک خط پالی سیلیکون به طول یک میلی‌متر و با فرض خازن واحد معادل 0.1

$\frac{\Omega}{\square}$ و مقاومت واحد معادل $100 \frac{\Omega}{\square}$ کدام است؟ پهنای این خط دو میکرومتر است.

- (۱) ۵ نانوثانیه
- (۲) ۲/۵ نانوثانیه
- (۳) ۵ میلی ثانیه
- (۴) ۲/۵ میلی ثانیه

۳۴- مزیت عمده در استفاده از ترانزیستورهای ما سفت افزایشی در ناحیه زیر آستانه چیست؟

- (۱) توان مصرفی کم
- (۲) سرعت بالا
- (۳) اشغال فضای کم
- (۴) نویزپذیری کم

۳۵- اگر یک ترانزیستور ما سفت افزایشی به نحوی بسته شود که از آن به عنوان یک خازن بتوان استفاده کرد، در این صورت آیا

- (۱) بستگی به سطح آرایش زیر لایه دارد.
- (۲) به عنوان بخش از کانال نقش دارد.
- (۳) کاملاً نقش دارد.
- (۴) نقشی ندارد.

۳۶- در یک اسبلا تونر حلقوی از پنج گیت وارونگر CMOS استفاده شده است. اگر تأخیر هر گیت وارونگر برابر بیست نانوثانیه باشد، حداکثر فرکانس نوسان برحسب مگاهرتز چه میزان است؟

- (۱) پنج
- (۲) ده
- (۳) پنجاه
- (۴) صد

۳۷- در فرآیند ساخت n-well CMOS چنانچه بخواهیم مقاومتی به اندازه $63 \times 10^3 \Omega$ اهم بسازیم، چه نسبتی از طول به عرض ناحیه n-well با فرض مقاومت سطحی برابر $100 \frac{\Omega}{\square}$ مناسب است؟

- (۱) نسبت ۵ برابر (۲) نسبت ۶ برابر (۳) نسبت ۶/۳ برابر (۴) نسبت ۷ برابر

۳۸- مسئله تسهیم بار (Charge sharing) در یک گیت NAND دو ورودی در منطق nMOS چه مشکلی ایجاد می‌کند؟

- (۱) مشکلی ایجاد نمی‌کند. (۲) موجب مخدوش شدن منطق می‌شود.
 (۳) موجب افزایش تأخیر می‌شود. (۴) موجب افزایش توان مصرفی می‌شود.

۳۹- روش معمول محافظت در مقابل بار الکتریسیته ساکن در مدارهای مجتمع چیست؟

- (۱) استفاده از بسته‌بندی مناسب (۲) استفاده از سلف‌ها در نواحی pad
 (۳) استفاده از ترانزیستورها در نواحی pad (۴) استفاده از دیودها در نواحی pad

۴۰- مدت زمان لازم جهت آزمون جامع یک مدار با ۱۶ بیت ورودی و با فرض استفاده از دستگاہی با فرکانس ده مگا هر تیز حدوداً چه اندازه است؟

- (۱) ۰/۶۴ میلی ثانیه (۲) ۶/۴ ثانیه (۳) ۶/۴ میلی ثانیه (۴) ۶۴ میلی ثانیه

تئوری و تکنولوژی ساخت قطعات نیمه هادی ۱

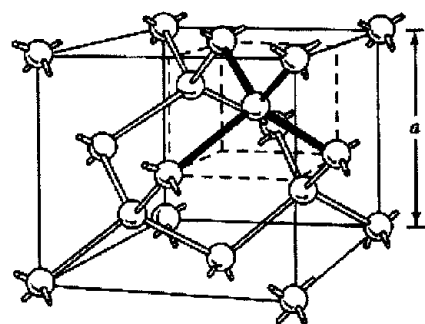
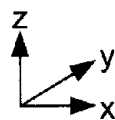
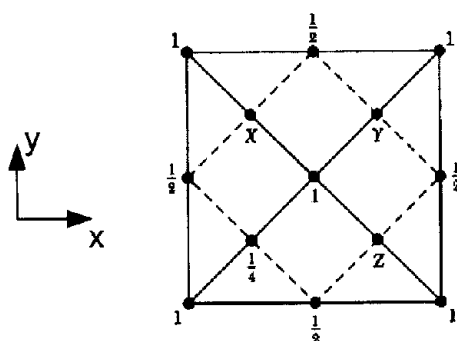
۴۱- اگر در یک سلول واحد شبکه BCC اتم‌ها به گونه‌ای باشند که اتم مرکزی با اتم‌های رئوس مماس باشد، چه درصدی از حجم سلول توسط اتم‌ها اشغال می‌شود؟

- (۱) ۵۵٪ (۲) ۶۰٪ (۳) ۶۸٪ (۴) ۷۸٪

۴۲- هر سلول واحد در کریستال نوع Face Centered Cubic (FCC) دارای چند اتم می‌باشد؟

- (۱) ۲ (۲) ۴ (۳) ۵ (۴) ۹

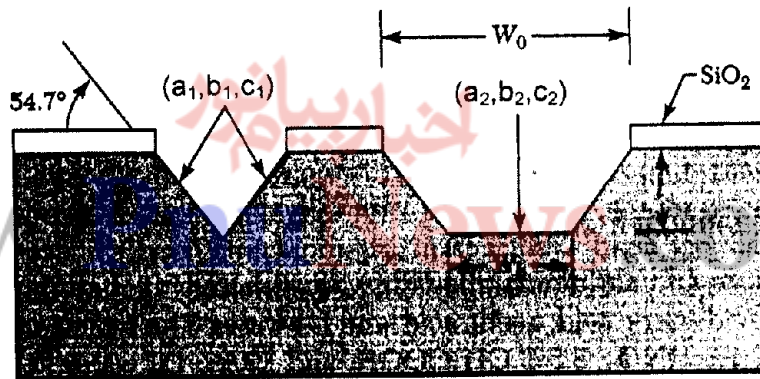
۴۳- شکل سمت راست سلول واحد شبکه کریستال الماسی و شکل سمت چپ نمای فوقانی آن را نشان می‌دهد. ارتفاع سه اتم X، Y و Z که در شکل سمت چپ مشخص شده‌اند، بصورت نرمالیزه شده به ثابت شبکه برابر است با



- (۱) ارتفاع اتم X برابر با ۱/۴، ارتفاع اتم Y برابر با ۱/۴ و ارتفاع اتم Z برابر با ۳/۴ می‌باشد.
 (۲) ارتفاع اتم X برابر با ۱/۴، ارتفاع اتم Y برابر با ۳/۴ و ارتفاع اتم Z برابر با ۳/۴ می‌باشد.
 (۳) ارتفاع اتم X برابر با ۳/۴، ارتفاع اتم Y برابر با ۱/۴ و ارتفاع اتم Z برابر با ۳/۴ می‌باشد.
 (۴) ارتفاع اتم X برابر با ۳/۴، ارتفاع اتم Y برابر با ۳/۴ و ارتفاع اتم Z برابر با ۱/۴ می‌باشد.

- ۴۴- نمودار انرژی-اندازه حرکت در نیمه هادی مستقیم (Direct) و غیر مستقیم (Indirect) چه تفاوتی دارد؟
 (۱) در دیاگرام انرژی-اندازه حرکت نیمه هادی مستقیم، دره مربوط به الکترون‌های آزاد و قله مربوط به حفره‌ها در یک اندازه حرکت قرار دارد، اما در مورد نیمه هادی غیر مستقیم چنین نیست.
 (۲) در دیاگرام انرژی-اندازه حرکت نیمه هادی غیر مستقیم، دره مربوط به الکترون‌های آزاد و قله مربوط به حفره‌ها در یک اندازه حرکت قرار دارد، اما در مورد نیمه هادی مستقیم چنین نیست.
 (۳) در نیمه هادی غیر مستقیم تقریب نمودار انرژی-اندازه حرکت بصورت پارابولیک صحیح نیست.
 (۴) تفاوتی ندارد.
- ۴۵- تعدادی حفره به بخشی در درون یک تکه نیمه هادی نوع n تزریق می‌شوند که در آن بخش میدان الکتریکی با شدت 5×10^{10} V/cm برقرار است. این میدان حفره‌ها در مدت 10^{-8} s به اندازه 1 cm جابجا می‌نماید. قابلیت نفوذ حفره‌ها در این نیمه هادی بر حسب $\frac{\text{cm}^2}{\text{s}}$ چقدر است؟
 (۱) $1/65$ (۲) $5/18$ (۳) $12/5$ (۴) $23/7$
- ۴۶- با توجه به اینکه سیلیکان یک نیمه هادی غیر مستقیم است، در درون یک نمونه سیلیکان با ناخالصی کم کدام مکانیزم باز ترکیب غالب است؟
 (۱) مکانیزم باز ترکیب به کمک سطوح انرژی واقع در باند ممنوعه
 (۲) مکانیزم باز ترکیب Auger
 (۳) مکانیزم باز ترکیب سطحی
 (۴) باز ترکیب مستقیم
- ۴۷- روش Contact printing در فرآیند فوتولیتوگرافی چه ویژگی بارزی دارد؟
 (۱) عمر ماسک در آن نسبت به روش proximity printing کمتر است.
 (۲) رزولوشن آن نسبت به روش proximity printing ضعیف‌تر است.
 (۳) این روش از روش proximity printing مناسب‌تر است.
 (۴) ۲ و ۳ صحیح است.
- ۴۸- اگر در فرآیند فوتولیتوگرافی بروش Proximity printing طول موج برابر با $4 \mu\text{m}$ و فاصله بین ماسک و ویفر برابر با $5 \mu\text{m}$ باشد، رزولوشن بر حسب μm چه مقداری دارد؟
 (۱) $3/3$ (۲) $4/5$ (۳) $8/6$ (۴) $9/5$
- ۴۹- با توجه به رابطه رزولوشن و DOF در فرآیند فوتولیتوگرافی بروش Projection printing که به ترتیب بصورت $I_m = k_1 \frac{\lambda}{NA}$ و $k_2 \frac{\lambda}{(NA)^2}$ می‌باشد، کدام رویکرد برای افزایش رزولوشن مناسب‌تر است؟
 (۱) افزایش NA و کاهش طول موج
 (۲) کاهش NA و کاهش طول موج
 (۳) افزایش NA
 (۴) کاهش طول موج
- ۵۰- کدام گزینه در مورد ترتیب مراحل فرآیند فوتولیتوگرافی صحیح است؟
 (۱) شکل دهی لایه اکسید، زدایش لایه اکسید، ایجاد لایه رزیست، نوردهی
 (۲) ایجاد لایه رزیست، نوردهی، زدایش رزیست، شکل دهی لایه اکسید، زدایش اکسید
 (۳) شکل دهی لایه اکسید، ایجاد لایه رزیست، زدایش اکسید، نوردهی، زدایش رزیست
 (۴) شکل دهی لایه اکسید، ایجاد لایه رزیست، نوردهی، زدایش رزیست، زدایش اکسید

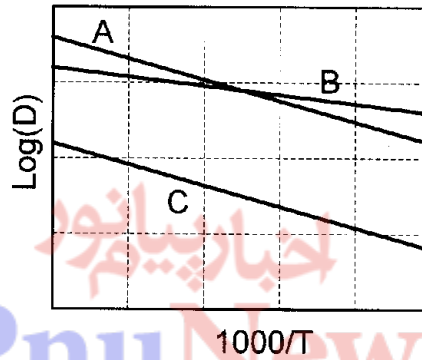
- ۵۱- کدام گزینه در مورد فرآیند Liftoff در ایجاد نقش‌های لایه فلزی بر روی ویفر صحیح است؟
 (۱) این فرآیند تفاوتی با فوتولیتوگرافی معمولی ندارد و فقط به جای سیلیکان، لایه فلزی حل می‌شود.
 (۲) در این فرآیند از لایه رزیست و فوتولیتوگرافی استفاده نمی‌شود.
 (۳) در این فرآیند، لایه فلز بدون نیاز به حلال فلز، نقش دهی (پترن) می‌شود.
 (۴) ۲ و ۳ صحیح است.
- ۵۲- SCALPEL چه نوع لیتوگرافی است؟
 (۱) لیتوگرافی با اشعه EUV (۲) لیتوگرافی با اشعه الکترونی (۳) لیتوگرافی با پرتو یونی (۴) لیتوگرافی با اشعه X
- ۵۳- در یک سیستم فوتولیتوگرافی، منبع نور دارای توان تابشی $\frac{mW}{cm^2}$ می‌باشد و انرژی موردنیاز برای فوتورزیست مثبت و منفی به ترتیب برابر با $9 \frac{mJ}{cm^2}$ و $140 \frac{mJ}{cm^2}$ می‌باشد. بنابراین در هر ساعت تعداد ویفر با فوتورزیست مثبت و تعداد ویفر با فوتورزیست منفی را می‌توان نوردی کرد.
 (۱) ۱۰۰ ، ۱۵ (۲) ۱۱۰ ، ۱۸/۵ (۳) ۱۲۰ ، ۷/۷۱ (۴) ۱۴۰ ، ۲۳/۴
- ۵۴- اگر سرعت زدایش سیلیکان در محلول معینی در جهت <100> یکصد برابر سرعت زدایش در جهت <111> باشد، صفحات (a1b1c1) و (a2b2c2) کدام‌اند؟



- (۱) صفحه (a1b1c1)=(100) و (a2b2c2)=(111) می‌باشد.
 (۲) صفحه (a1b1c1)=(111) و (a2b2c2)=(100) می‌باشد.
 (۳) با اطلاعات داده شده نمی‌توان صفحات خواسته شده را تعیین نمود.
 (۴) با سرعت زدایش داده شده، الگوی زدایش نمی‌تواند مانند شکل فوق باشد.
- ۵۵- یک لایه آلومینیم به ضخامت 1 um بر روی لایه ضخیم اکسید نشانده شده و با استفاده از فوتورزیست پترن معینی بر روی آن ایجاد شده است. می‌خواهیم این پترن را با استفاده از زداینده گازی BCl3/Cl3 به لایه آلومینیم منتقل نمائیم. اگر قابلیت انتخاب (Selectivity) آلومینیم نسبت به فوتورزیست برابر با ۳ باشد و بخواهیم ۳۰٪ بیش‌زدایش (Overetch) انجام گیرد، حداقل ضخامت فوتورزیست بر حسب um کدام است؟ بطوریکه لایه بالایی آلومینیم مورد زدایش قرار نگیرد.
 (۱) ۱ (۲) ۱/۵ (۳) ۴۳ (۴) ۳۵

- ۵۶- در مورد فرآیند کدام عبارت زیر صحیح است؟
- (۱) اگر اندازه اتم دیفیوز شونده بزرگ باشد، هردو مکانیزم Interstitial و Vacancy با یک احتمال اتفاق می افتد.
- (۲) اگر اندازه اتم دیفیوز شونده کوچک باشد، هردو مکانیزم Interstitial و Vacancy با یک احتمال اتفاق می افتد.
- (۳) اگر اندازه اتم دیفیوز شونده بزرگ باشد، مکانیزم غالب Interstitial و اگر اندازه اتم دیفیوز شونده کوچک باشد، مکانیزم غالب Vacancy است.
- (۴) اگر اندازه اتم دیفیوز شونده کوچک باشد، مکانیزم غالب Interstitial و اگر اندازه اتم دیفیوز شونده بزرگ باشد، مکانیزم غالب Vacancy است.

- ۵۷- شکل زیر منحنی D را برای سه ماده A، B و C نشان می دهد. با توجه به رابطه $D = D_0 \exp\left(\frac{-E_a}{kT}\right)$ کدام گزینه صحیح است؟

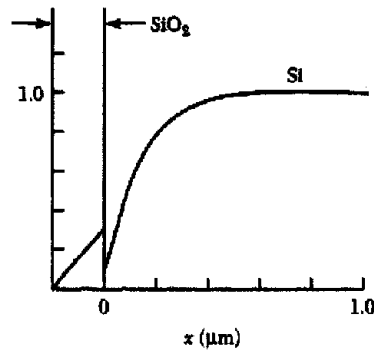


- (۱) D_0 برای ماده A بزرگتر از ماده C و E_a برای ماده B کوچکتر از دو ماده دیگر می باشد.
- (۲) D_0 برای ماده A بزرگتر از ماده C و E_a برای ماده B بزرگتر از دو ماده دیگر می باشد.
- (۳) D_0 برای ماده B بزرگتر از ماده C و E_a برای ماده B کوچکتر از دو ماده دیگر می باشد.
- (۴) D_0 برای ماده B بزرگتر از ماده C و E_a برای دو ماده A و C برابر می باشد.
- ۵۸- در فرآیند پخش با غلظت سطحی ثابت، پروفایل پخش در حالت یک بعدی بصورت $C(x, t) = C_s \operatorname{erfc}\left(\frac{x}{\sqrt{Dt}}\right)$ می باشد

و داریم: $\frac{d}{dx} \operatorname{erfc}(x) = -\frac{2}{\sqrt{\pi}} \exp(-x^2)$ اگر از تقریب خطی تابع erfc استفاده نمائیم، در چه مقدار x غلظت برابر با صفر خواهد بود؟

- (۱) $x = \sqrt{Dt}$ (۲) $x = \sqrt{\pi Dt}$ (۳) $x = 2\sqrt{Dt}$ (۴) $x = 2\sqrt{\pi Dt}$

۵۹- شکل زیر پروفایل پخش ناخالصی از درون سیلیکان به درون لایه اکسید را نشان می دهد. در مورد ضریب تفکیک (نسبت غلظت ناخالصی در Si نسبت به غلظت ناخالصی در SiO₂) و ناخالصی دارای قابلیت پخش در SiO₂ می باشد.



(۴) $k < 1$ - ناچیز

(۳) $k < 1$ - بالا

(۲) $k > 1$ - ناچیز

(۱) $k > 1$ - بالا

۶۰- مزیت روش پخت RTA نسبت به روش مرسوم پخت در کوره چیست؟

- (۱) کاهش ورود آلودگی به ویفر
- (۲) کاهش ورود آلودگی به ویفر، هزینه پایین تر
- (۳) کنترل بهتر فرآیند، کاهش ورود آلودگی به ویفر
- (۴) کنترل بهتر فرآیند، کاهش ورود آلودگی به ویفر، هزینه پایین تر

اخبار پیام نور