

سری سوال: یک ۱

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

استفاده از ماشین حساب ساده مجاز است

۱- کدامیک از گزینه های زیر صحیح نمی باشد؟

۱. در مدارهای دیجیتال به منظور تحمل پذیری ناشی از نویز، دو گستره ولتاژ متمایز تعریف می شود.
۲. اگر سطح ولتاژ بالا را برای منطق یک و سطح ولتاژ پائین را برای منطق صفر استفاده کنیم در منطق مثبت می باشیم.
۳. هر چه حاصل ضرب تاخیر در توان (D_p) در یک خانواده منطقی بیشتر باشد، آن خانواده کارآمدتر است.
۴. توان استاتیک توانی است که وقتی مدار تغییر حالت نمی دهد در مدار تلف می شود.

۲- با توجه به مقادیر داده شده برای یک گیت، حاشیه نویز پائین و بالای این گیت کدام است؟

$$V_{IL} = 1.5v \quad V_{IH} = 3.1v \quad V_{OL} = 0.6v \quad V_{OH} = 5v$$

$$NM_H = 3.5v \quad NM_L = 2.5v \quad .2$$

$$NM_H = 1.9v \quad NM_L = 0.9v \quad .1$$

$$NM_H = 8.1v \quad NM_L = 2.1v \quad .4$$

$$NM_H = 4.4v \quad NM_L = 1.6v \quad .3$$

۳- کدام گزینه صحیح نمی باشد؟

۱. V_{OH} ماکزیمم ولتاژی است که در حالتی که فرض شود خروجی در منطق یک قرار دارد در خروجی گیت دیده می شود.
۲. V_{IL} مینیمم ولتاژ ورودی است که گیت آن را بصورت منطق صفر در نظر می گیرد.
۳. V_{OL} مینیمم ولتاژی است که در حالتی که فرض شود خروجی در منطق صفر قرار دارد در خروجی گیت دیده می شود.
۴. V_{IH} مینیمم ولتاژ ورودی است که گیت آن را بصورت منطق یک در نظر می گیرد.

۴- چند جمله از جملاتی که در زیر بیان شده اند صحیح می باشد؟

- در خانواده های TTL و ECL ترانزیستورها از نوع دو قطبی می باشند.
- مزیت خانواده BiCMOS این است که قابلیت های خوب هر دو خانواده BJT و MOS را دارد.
- مدارهای منطقی گالیوم آرسناید (G_aAs) سریعترین مدارها در میان خانواده های منطقی می باشد.
- خانواده CMOS بیشترین چگالی و کمترین مصرف توان را در بین خانواده های منطقی دارد.

۱. یک جمله ۲. دو جمله ۳. سه جمله ۴. چهار جمله

سری سوال: ۱ یک

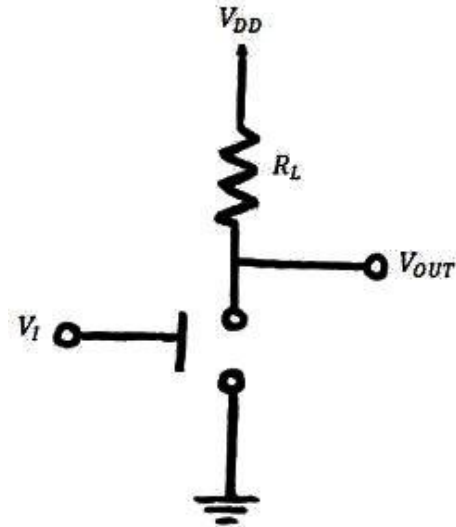
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۵- در مدار زیر توان ایستا در حالتی که خروجی در حالت بالا و حالت پائین باشد، کدامند؟



۱. در حالت بالا = ۰ ، در حالت پائین = $\frac{V_{DD}}{R_L}$
۲. در حالت بالا = ۰ ، در حالت پائین = $\frac{V_{DD}^2}{R_L}$
۳. در حالت بالا = $\frac{V_{DD}^2}{R_L}$ ، در حالت پائین = ۰
۴. در حالت بالا = ۰ ، در حالت پائین = $R_L V_{DD}^2$

۶- یک گیت منطقی دارای ۴ ورودی و ۱ خروجی است. در صورت که مشخصات جریانی این گیت به صورت زیر باشد، ظرفیت ورودی و ظرفیت خروجی این گیت به ترتیب کدامند؟

$$I_{in}(High) = 100\mu A \quad , \quad I_{in}(Low) = 2mA \quad , \quad I_{out}(High) = 70mA \quad , \quad I_{out}(Low) = 50mA$$

۱. ۲ و ۱
۲. ۸ و ۷۰۰
۳. ۴ و ۲۵
۴. ۴ و ۱
- ۷- زمان بین نقاط ۵۰٪ شکل موج های ورودی و خروجی در لبه های بالا رونده و پائین رونده ، بیانگر چه زمانی می باشد؟
۱. زمان تاخیر
۲. زمان صعود
۳. زمان نزول
۴. زمان ذخیره

۸- فرکانس سوئیچ کردن یک معکوس کننده برابر $2MHz$ می باشد. اگر این معکوس کننده با یک تغذیه ۶ ولتی کار کند و یک بار $100pF$ را تحریک کند، مصرف توان آن چقدر خواهد بود؟

۱. $1200\mu W$
۲. $7200\mu W$
۳. $3600\mu W$
۴. $2400\mu W$

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

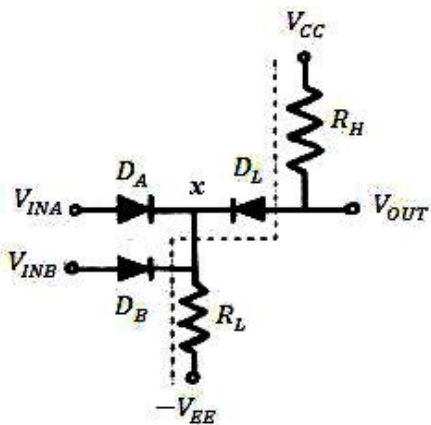
تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۹- کدامیک از جملات زیر در مورد دیود نادرست می باشد؟

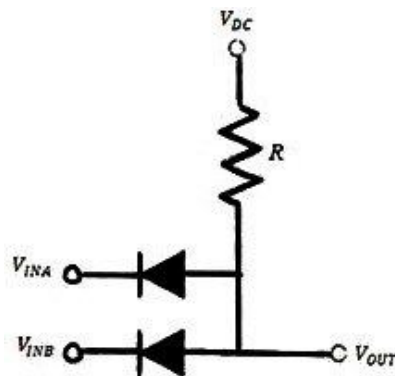
۱. در یک ماده نوع N، الکترون ها حامل های اکثریت و حفره ها حامل های اقلیت می باشند.
۲. در بایاس مستقیم، عرض ناحیه تخلیه پیوند PN کاهش می یابد.
۳. جریان بسیار ناچیز دیود در حالت بایاس معکوس، ناشی از حامل های اقلیت می باشد.
۴. اتصال نیمه هادی P و یک فلز مخصوص، دیود شاتکی را ایجاد می کند.

۱۰- در مدار زیر V_{OL} چقدر می باشد؟

$$V_{D(on)} = 0.7V, \quad R_L = 2K\Omega, \quad R_H = 1K\Omega, \quad V_{CC} = V_{EE} = 5V$$

۱. ۱.۹V ۲. ۵V ۳. ۳.۱V ۴. -۵V

۱۱- در مدار شکل زیر چه گیتی با استفاده از دیود پیاده سازی شده است؟



۱. OR ۲. NOR ۳. AND ۴. NAND

سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

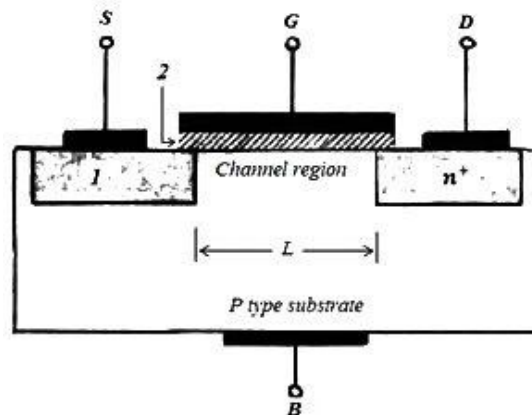
۱۲- در مدارهای گیت AND با سطح انتقال یافته و گیت OR با سطح انتقال یافته، وظیفه دیودهای انتقال دهنده سطح چیست؟

۱. V_{OH} در گیت AND و V_{OL} در گیت OR را به مقدارهای ایده آل خود نزدیک می کند.
۲. V_{OH} در گیت AND و V_{OH} در گیت OR را به مقدارهای ایده آل خود نزدیک می کند.
۳. V_{OL} در گیت AND و V_{OH} در گیت OR را به مقدارهای ایده آل خود نزدیک می کند.
۴. V_{OL} در گیت AND و V_{OL} در گیت OR را به مقدارهای ایده آل خود نزدیک می کند.

۱۳- کدامیک از جملات زیر صحیح نمی باشد؟

۱. در $MOSFET$ ها، تنها یک نوع حامل (الکترون یا حفره) در ایجاد جریان نقش دارد.
۲. یک ترانزیستور $MOSFET$ افزایشی کانال N ، روی زیر لایه نوع P ساخته می شود.
۳. در یک $MOSFET$ ولتاژ اعمال شده به گیت، عبور جریان بین سورس و درین را کنترل می کند.
۴. $MOSFET$ عنصری متقارن نیست و نمی توان جای سورس و درین آن را با هم عوض کرد.

۱۴- در شکل زیر قسمت های ۱ و ۲ به ترتیب از چه نوع می باشند؟



۱. p^+ و oxide
۲. n^+ و oxide
۳. n و oxide
۴. n^+ و فلز

۱۵- کدامیک از جملات زیر در مورد ایجاد کانال برای عبور جریان در یک $NMOS$ صحیح نمی باشد؟

۱. مقدار V_{GS} لازم برای ایجاد کانال در یک $MOSFET$ را ولتاژ آستانه گویند.
۲. ولتاژ مثبت گیت، الکترون ها را از نواحی N سورس و درین جذب می کند.
۳. با اعمال یک ولتاژ بین سورس و درین، جریانی در کانال جاری می شود.
۴. با افزایش V_{GS} کانال بصورت مخروطی در می آید و دیگر یکنواخت نیست.

سری سوال: ۱ یک

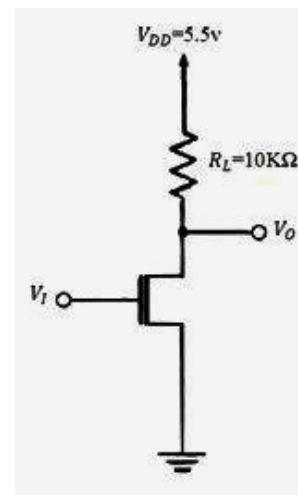
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۶- در مدار معکوس کننده زیر، در صورتی که مقاومت ترانزیستور MOSFET در حالت وصل $1K\Omega$ باشد
مقادیر V_{OH} و V_{OL} کدامند؟ ($R_{on} = 1k\Omega$)



۲. $V_{OH} = 5V$ و $V_{OL} = 0V$

۱. $V_{OH} = 5.5V$ و $V_{OL} = 0$

۴. $V_{OH} = 5.5V$ و $V_{OL} = 0.5V$

۳. $V_{OH} = 2.75V$ و $V_{OL} = 1V$

۱۷- کدام گزینه در مقایسه ترانزیستورهای PMOS و NMOS صحیح نمی باشد؟

۱. هر دو کاملاً متقارن می باشند.

۲. ترانزیستورهای PMOS از NMOS سریعتر عمل می کنند.

۳. جریان گیت در آنها تقریباً صفر می باشد.

۴. ولتاژ گیت برای ایجاد کانال در NMOS مثبت و در PMOS منفی می باشد.

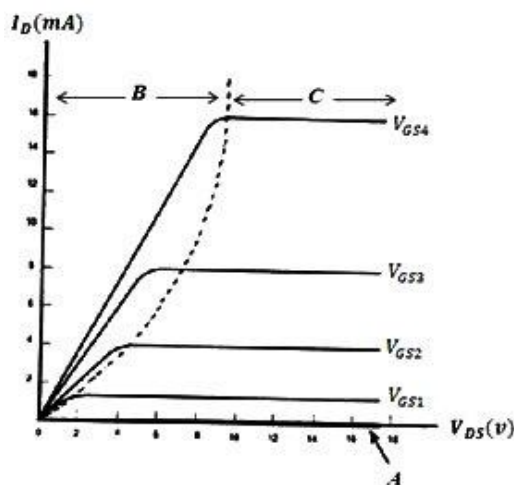
سری سوال: ۱ یک

زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۱۸- منحنی I_D بر حسب V_{DS} یک $MOSFET$ افزایشی در زیر آورده شده است. در این منحنی نواحی A ، B و C به

ترتیب بیانگر چه نواحی کاری می باشند؟

۱. قطع - اشباع - خطی ۲. اشباع - خطی - قطع ۳. قطع - خطی - اشباع ۴. خطی - اشباع - قطع

۱۹- چندتا از جملات زیر در مورد اثر بدنه در یک ترانزیستور $MOSFET$ صحیح می باشد.

- در یک ترانزیستور $NMOS$ ، زیر لایه معمولاً به منفی ترین تغذیه مدار وصل می شود.
- در نظر گرفتن اثر بدنه باعث می شود V_{GS} بیشتری جهت تشکیل کانال لازم باشد.
- تغییر ولتاژ سورس-بدنه (V_{SB})، تغییری در ولتاژ آستانه (V_t) ایجاد نمی کند.
- بدنه بصورت گیت دیگر $MOSFET$ عمل می کند.

۱. یک جمله ۲. دو جمله ۳. سه جمله ۴. چهار جمله

۲۰- کدامیک از جملات زیر در مورد یک ترانزیستور دو قطبی صحیح نمی باشد؟

- ۱. در ناحیه اشباع، پیوندهای بیس-امیتر و بیس-کلکتور هر دو در بایاس مستقیم هستند.
- ۲. در ناحیه قطع، پیوندهای بیس-امیتر و بیس-کلکتور هر دو در بایاس معکوس هستند.
- ۳. برای قطع شدن ترانزیستور اشباع شده، بار اضافی ذخیره شده در بیس باید تخلیه شود که این امر زمان قطع شدن ترانزیستور را پائین می آورد.
- ۴. در ناحیه اشباع $I_C = \beta I_B$ می باشد.

۲۱- در کدام خانواده منطقی با قرار دادن دیودی با افت ولتاژ کم، بین بیس و کلکتور از به اشباع رفتن ترانزیستور جلوگیری می شود؟

۱. TTL شاتکی ۲. TTL ۳. DTL ۴. ECL

سری سوال: ۱ یک

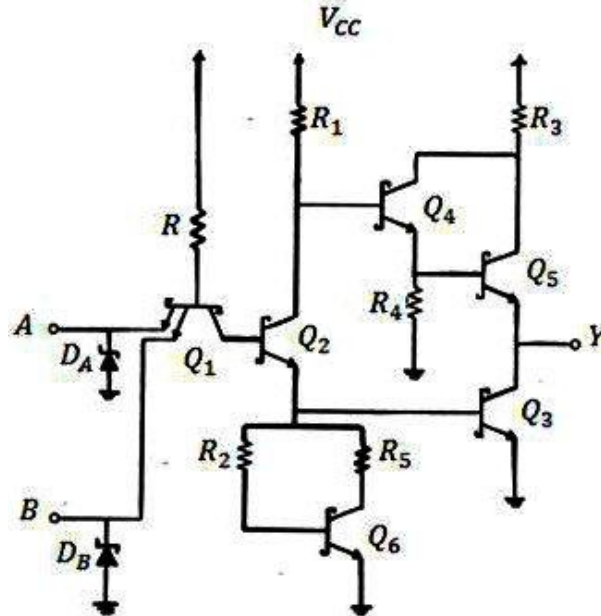
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۲- کدامیک از گزینه های زیر در مورد مدار داده شده که یک گیت NAND از نوع TTL شاتکی می باشد صحیح نیست؟



۱. ترانزیستورهای Q_4 و Q_5 یک زوج دارلینگتون را تشکیل می دهند که توانایی بیرون دادن جریان مدار را افزایش می دهد.

۲. ترانزیستور Q_5 هرگز اشباع نمی شود.

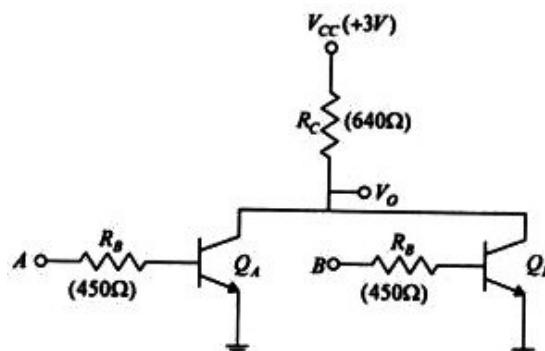
۳. وجود دیودهای D_A و D_B باعث می شود که ولتاژهای مثبت در ورودی اثرشان از بین برود.

۴. ترانزیستور Q_6 و مقاومت های R_2 و R_5 یک مقاومت غیرخطی را تشکیل می دهند که یک پائین بر فعال نیز می باشد.

۲۳- در یک ترانزیستور دو قطبی، کمترین عرض و بیشترین غلظت ناخالصی به ترتیب مربوط به چه ناحیه ای است؟

۱. بیس - امیتر ۲. بیس - کلکتور ۳. امیتر - بیس ۴. امیتر - کلکتور

۲۴- تابع خروجی گیت RTL زیر چیست؟



۴. $V_o = \overline{A + B}$

۲. $V_o = \overline{A.B}$

۲. $V_o = A + B$

۱. $V_o = A.B$

سری سوال: ۱ یک

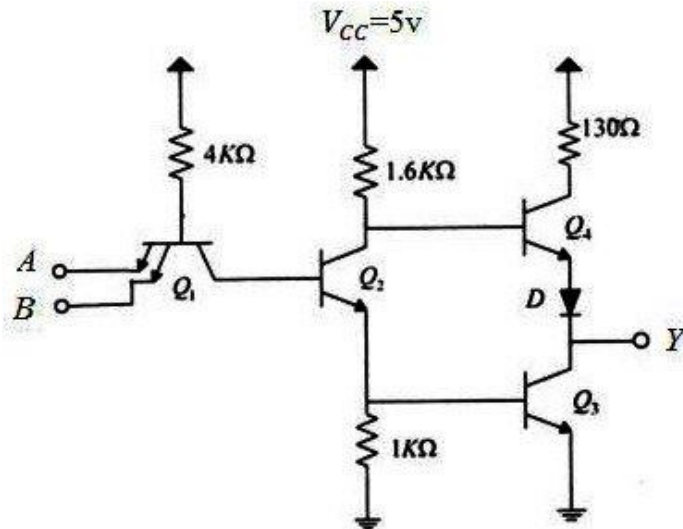
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۵- مدار زیر که مربوط به یک گیت TTL است. با توجه به اینکه در مدار در حالت ورودی بالا، ترانزیستورهای Q_2 و Q_3 در ناحیه اشباع هستند، در این حالت جریان مقاومت $1.6K\Omega$ چقدر خواهد بود؟



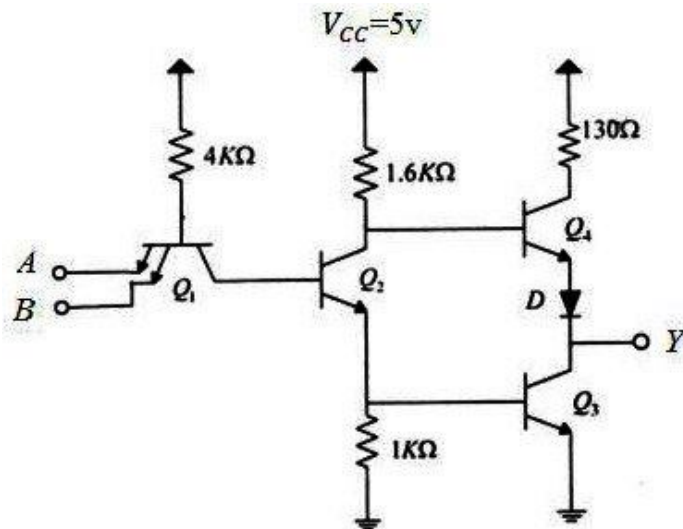
۳mA .۴

0 .۲

2.6mA .۲

3.3mA .۱

۲۶- کدامیک از جملات زیر در مورد مدار زیر صحیح نمی باشد؟



۱. در حالت ورودی بالا، دیود D با خاموش شدن، خاموش بودن Q_4 را تضمین می کند.

۲. برای تسریع سرعت کار مدار باید از اشباع ترانزیستورها جلوگیری کرد و همچنین مقدار تمام مقاومت ها را کاهش داد.

۳. این مدار تابع OR را تحقق می بخشد.

۴. در این مدار طبقه میانی را جداساز فاز و طبقه خروجی را توتم پل گویند.

سری سوال: ۱ یک

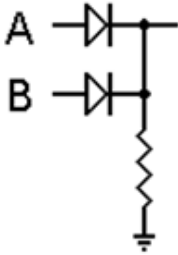
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۲۷- مدار زیر مربوط به کدام گیت منطقی است؟



OR .۴

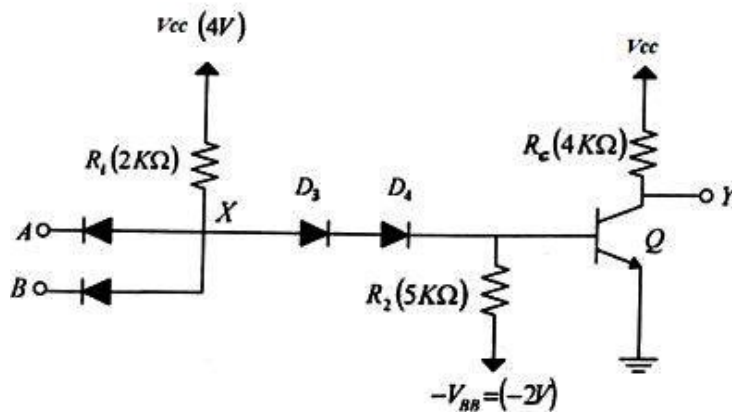
NOR .۳

NAND .۲

AND .۱

۲۸- اگر در گیت NAND دو ورودی نوع DTL، هر دو ورودی در سطح بالا باشد، جریان بیس ترانزیستور Q چقدر می باشد؟

(افت ولتاژ دیود و پیوند بیس امیتر را در حالت روشن بودن $0.7V$ در نظر بگیرید)



$0.2mA$.۴

$0.41mA$.۳

$0.54mA$.۲

$0.95mA$.۱

۲۹- کدام گزینه صحیح است؟

۱. حاصلضرب تاخیر-توان در گالیوم آرسناید NMESFET نسبت به CMOS بیشتر است.

۲. بین خانواده های منطقی، تراشه های دیجیتال از نوع G_aA_s کمترین اتلاف توان را دارند.

۳. بین خانواده های منطقی، تراشه های دیجیتال از نوع CMOS کمترین تاخیر انتشار را دارند.

۴. CMOS سریعتر از NMOS است و توان کمتری نسبت به آن مصرف می کند.

سری سوال: ۱ یک

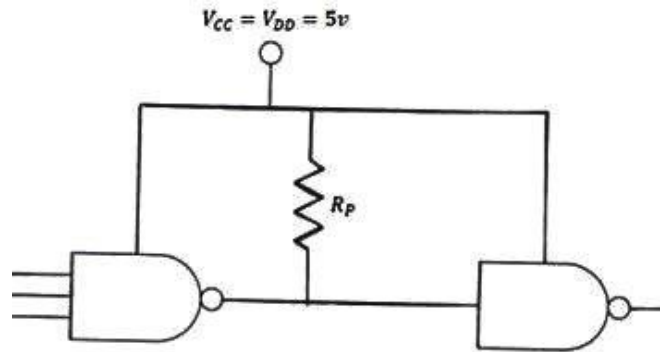
زمان آزمون (دقیقه): تستی: ۱۰۰ تشریحی: ۰

تعداد سوالات: تستی: ۳۰ تشریحی: ۰

عنوان درس: مبانی الکترونیک دیجیتال

رشته تحصیلی/گد درس: مهندسی فناوری اطلاعات، مهندسی فناوری اطلاعات (چندبخشی) ۱۵۱۱۰۰۵

۳۰- به منظور اتصال چه گیت هایی به هم از مقاومت بالابر استفاده می شود؟



۱. $STTL$ به ECL

۲. $CMOS$ به $STTL$

۳. ECL به $CMOS$

۴. STL به ECL